

**РАЗВОЈ МОДУЛА ЗА ИНТЕГРАЦИЈУ ПРОЦЕСОРА У КОНФИГУРАБИЛНОЈ  
HALOWONE™ WI-FI IP ПЛАТФОРМИ****DEVELOPMENT OF THE PROCESSOR INTEGRATION MODULE IN THE  
CONFIGURABLE HALOWONE™ WI-FI IP PLATFORM**

Душан Радишић, Факултет техничких наука, Нови Сад

**Област – ЕЛЕКТРОТЕХНИКА И РАЧУНАРСТВО**

**Кратак садржај** – У овом раду приказан је развој омотача (енг. wrapper) процесора који обухвата и *xTensa* и *RISC-V CV32E40P* са акцентом на омотачу који обухвата *CV32E40P*. Рад описује све кораке потребне да би се овакав систем развио, од почетних истраживања архитектура и функционалности различитих процесора до интеграције процесорског омотача у *HaLowOne™* платформу.

**Кључне речи:** *Wi-Fi HaLow*, *RISC-V*, процесор, станица, приступна тачка

**Abstract** – This paper represents the development of the processor wrapper that encapsulates both *xTensa* and *RISC-V CV32e40p* with emphasis on the wrapper with the *CV32E40P* processor. The paper describes all the steps required to develop such a system, from the initial research of architectures and functionalities of different processors to the integration of the processor wrapper into the *HaLowOne™* platform.

**Keywords:** *Wi-Fi HaLow*, 802.11ah, *RISC-V*, processor, Station, Access point

**1. УВОД**

У домену бежичних комуникационих технологија, тежња за сталним напретком у циљу побољшања перформанси и ефикасности система остаје веома важна. *Wi-Fi HaLow™*, интегрални аспект *Wi-Fi* стандарда, нуди ниску потрошњу енергије и широк опсег преноса података, што захтева адаптације унутар постојећих хардверских архитектура, посебно у дизајну система на чипу (енг. *System on chip- SoC*) како би се интегрисала подршка за ову технологију беспрекорно [1].

*Wi-Fi CERTIFIED HaLow™*, ознака за сертификоване производе који укључују технологију *IEEE 802.11ah*, повећава *Wi-Fi* радећи у спектру испод 1 GHz како би понудио дужи домет и нижу снагу повезивања. *Wi-Fi HaLow™* испуњава јединствене захтеве за Интернет ствари (*IoT*) како би омогућио различите случајеве употребе у индустријским, пољопривредним, паметним зградама и паметним градским срединама [1].

**НАПОМЕНА:**

Овај рад проистекао је из мастер рада чији ментор је био др Вук Врањковић, ванр. проф.

Како овај рад буде напредовао, биће спроведена свеобухватна анализа карактеристика *Wi-Fi HaLow™* технологије, пружајући кључни увид у њену оперативну динамику. Поред тога, биће спроведено детаљно испитивање архитектура *xTensa* и *RISC-V* процесора у контексту *MAC* функционалности, разјашњавајући њихове снаге и компатибилност. Паралелно, рад ће се бавити сложеним стратегијама имплементације за универзални омотач процесора, истражујући начине за оптимизацију његове ефикасности и свестраности. Коначно, перформансе предложеног решења биће процењене комбинацијом симулација и емпиријског експериментисања, пружајући увид заснован на подацима у његову применљивост и делотворност у стварном свету.

Један од главних циљева омотача јесте лако пребацивање *MAC Wi-Fi* процесора између *xTensa* и *RISC-V* језгра.

Постојећа *HaLowOne™* платформа, која је свеобухватна, високо конфигурабилна *Wi-Fi HaLow™ IP* платформа која се састоји од *Wi-Fi HaLow™* модема и опционог интерног подсистема *host-a*, намењена је да буде погодна за надоградњу на следећу генерацију.

Један од главних задатака који треба остварити јесте креирање омотача процесора како би прелаз између два или више процесора био што лакши, као и коришћење истог омотача не само као *MAC* процесора већ и такође опционо као интерни систем *host-a*. То значи омогућавање инстанцирања више процесорских омотача у вишепроцесорском систему са истим или различитим параметрима.

Иако постизање транзиције процесора без додатних системских промена није могуће, захтеви су дизајнирани тако да исход пројекта буде што је могуће ближе идеалном сценарију. Циљ је минималне промене у систему и начину на који окружење омотача процесора комуницира са њим.

**2. ЗАХТЕВИ**

- **32/64-битни меморијски интерфејс** – Меморијски интерфејс између омотача и меморије треба да буде параметризован за ширину података. Једна од највећих разлика између наших циљних процесора је ширина приступа меморији – *xTensa* је 64-битна, док је *CV32E40P* 32-битна. Ширина линије података остаје параметар у омотачу - 32 бита ако се користи *CV32E40P* или 64 бита ако се користи *xTensa*.

- **Програмски интерфејс – AXI-full** интерфејс служи за програмирање MAC процесора. У систему који користи интерни хост, он је повезан са омотачем преко AXI инфраструктуре као AXI master.

- **32 линије за прекиде** - 32 линије прекида сигнала директно повезане са улазом за прекиде на процесору или преко контролера прекида. Овај улаз омогућава пренос сигнала прекида од система до процесора, што је кључно за одређивање функционалности процесора као и читавог система.

- **Механизам за тражење грешака (debug)** - Омотач треба да има интерфејс за отклањање грешака. У овом пројекту, JTAG порт је изабран као стандардни порт за отклањање грешака.

- **Test enable** - Омогућава тестирање система.

- **AXI Master порт** - Неопходно је имати AXI master на који је повезан процесор. Ово омогућава процесору да пише и чита из других делова система. Повезује се директно на AXI-interconnect, који на основу адресе инструкција одређује где треба да буде рутуран.

- **Self clock gating верификација** - Пошто CV32E40P процесор има јединицу за режим спавања уграђену у њега, неопходно је верификовати да ли извршава своју функционалност исправно. Битно је проучити како функционише и под којим условима процесор прелази у режим спавања.

- **Конфигурабилна архитектура дизајна**

- **Меморијска мапа** - Мора бити добро дефинисана, и границе сваког блока морају бити добро дефинисане и верификоване, укључујући и граничне случајеве.

### 3. ЦИЉЕВИ

- Лака промена Wi-Fi MAC процесора између xTensa и RISC-V језгра на HaLowOne™ платформи.

- Специфицирање јединственог омотача који одговара за интегрисање и xTensa и RISC-V процесора у HaLowOne™ платформу.

- Дизајнирање и имплементација омотача за HaLowOne™ платформу.

- Демонстрација омотача у HaLowOne™ платформи са xTensa процесорским језгром.

- Демонстрирати омотач у подсистему направљеном са RISC-V CV32E40P језгром.

- Коришћење и валидација напредних алата за пројектовање и верификацију дигиталних система – Sigasi.

### 4. ОМОТАЧ

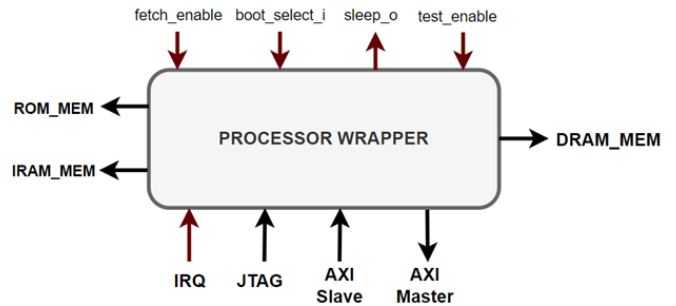
Истраживање је спроведено на више RISC-V процесора, а фокус је стављен на CV32E40P и xTensa процесоре. Главни задатак овог пројекта био је креирање омотача тако да се миграција са xTensa у RISC-V може урадити са најмање могуће застоја и грешака. Два процесора су веома различита, због чега је омотач креиран да ради на вишем нивоу хијерархије, омогућавајући систему да комуницира и интерагује са њим беспрекорно, без обзира да ли је RISC-V или xTensa инстанцирана у њему.

Развој јединственог скупа интерфејса омотача најкомпатибилнији је са xTensa процесором. Ово је урађено

са циљем да се постојећа платформа (која је у функцији) брзо замени омотачем конфигурираним са xTensa процесором, и на тај начин демонстрира да тестови пролазе успешно као када је инстанцирана само xTensa (без омотача).

Након завршених испитивања, закључено је да платформа са омотачем, када је у питању xTensa процесор, функционише исто као и без омотача. Закључујемо да омотач као концепт има смисла, и да се може даље наставити са радом на њему.

Следећи део пројекта укључује интеграцију RISC-V CV32E40P процесора у омотач и проверу да и омотач и процесор ефикасно обављају своју функционалност.



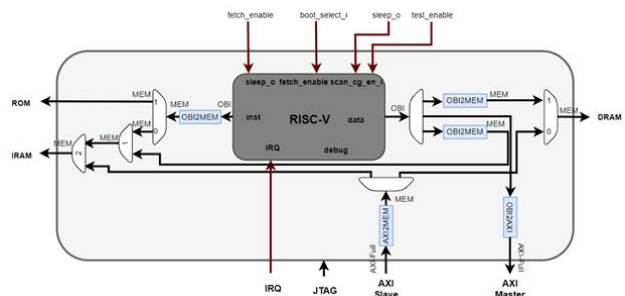
Слика 1. Top „Processor wrapper“

Сваки од сигнала/интерфејса приказаних на слици 1. има своју улогу у комуникацији околног система са омотачем.

Овај омотач има две имплементације, једну са xTensa процесором и другу са CV32E40P. Као што је раније поменуто, при одабиру интерфејса омотача, фокус је првенствено био на интеграцији xTensa процесора у омотач и уграђивању таквог система (процесорски омотач са xTensa унутра) у постојећу HaLowOne™ платформу која већ постоји.

Разлог за то јесте што је познато да платформа ради са xTensa процесором и да је овај процесор у потпуности верификован, као и платформа.

У овој фази добијен доказ концепта. Сви тестови су прошли успешно, као да је инстанцирана сама xTensa без процесора. То нам омогућава да пређемо на следећи корак, а то је интеграција RISC-V процесора у омотач (слика 2.).



Слика 2. Процесорски омотач са OpenHW RISC-V CV32E40P

На слици 2. приказане су следеће компоненте:

- MEM мултиплексер
- OBI мултиплексер

- MEM адресни декодер
- OBtoMEM конвертор
- AXItoMEM конвертор
- Машина стања (FSM)

Након дизајнирања процесора и верификације његових основних функционалности, извршена је синтеза и имплементација. Vivado је генерисао извештај у коме су наведени сви ресурси који се користе инстанцирањем једног процесорског омотача са CV32E40P. Информације о заузећу ресурса приказане су у табели 1. Синтеза и имплементација извршени су на ADRV9361-Z7035 плочи.

Табела 1. Заузеће ресурса процесорског омотача

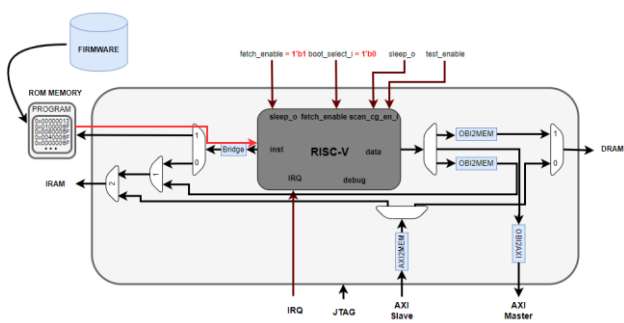
	Slice LUTs	Slice Registers	F7 Muxes	F8 Muxes	Slice	LUT as Logic	LUT as Memory	Block RAM Tile	DSPs
Available resources	171900	343800	109300	54650	54650	171900	70400	500	900
Utilization by the Processor wrapper	4322	2110	281	0	1486	4322	0	0	5
Utilization by the CV32E40P	4114	2089	281	0	1440	4114	0	0	5
CV32E40P percentage of Processor wrapper utilization	95.18%	99.00%	100%	100%	96.90%	95.19%	100%	100%	100%

Из табеле може да се закључи да процесорски омотач заузима веома малу количину ресурса.

## 5. ПОКРЕТАЊЕ (енг. BOOTING) ПРОЦЕСОРА

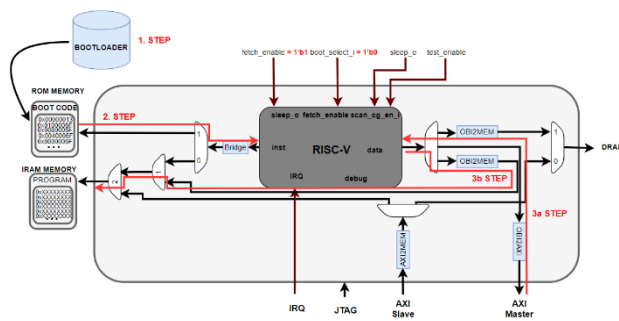
Покретање представља уписивање фирмвера који треба да буде извршен у системској меморији и почетно иницијализовање података у DRAM-у који треба почетно бити присутан тамо. Објашњене су три методе покретања.

**Покретање из ROM меморије** - фирмвер је већ уписан у ROM меморију процесора, и извршење програма је спремно. Сlike 3. 4. 5. 6. ближе објашњавају процесе покретања.

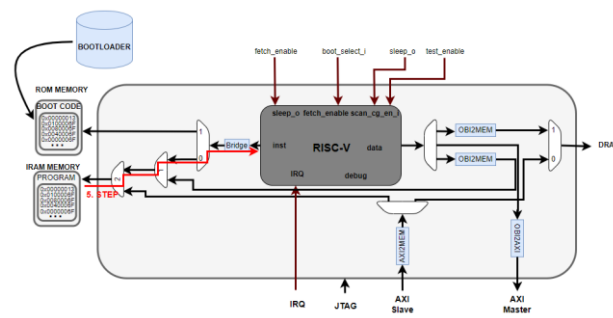


Слика 3. Покретање из интерне ROM меморије

**Покретање преко AXI-Master порта (процесор сам себе покреће)** - Фирмвер је смештен у меморији изван система процесора. Додељен је одређени простор у меморији, и процесор може приступити њему преко свог AXI master порта и AXI interconnect-a. Ова меморија може бити системска меморија која се налази унутар платформе или спољна flash меморија која се приступа преко периферија.

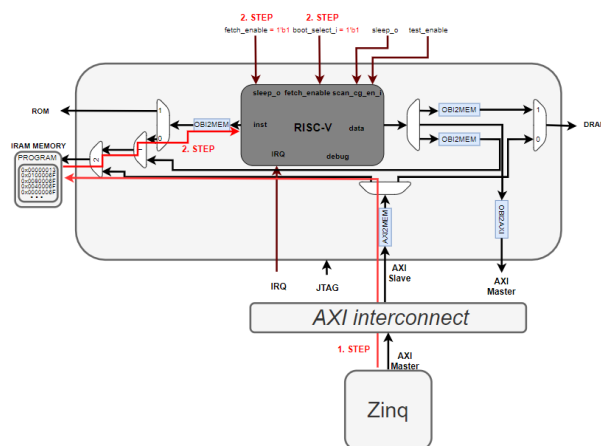


Слика 4. Покретање из екстерне меморије, кораки 1, 2, 3 и 4



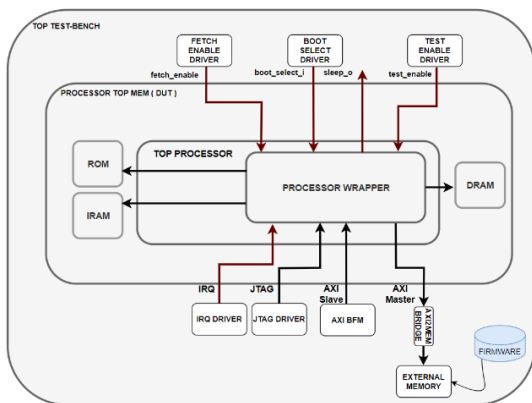
Слика 5. Покретање из екстерне меморије, корак 5

**Покретање преко AXI-Slave порта** – Приликом овог начина покретања процесор не контролише учитавање програма, па спољни контролер система мора обезбедити да се све инструкције упишу у IRAM пре покретања преузимања инструкција. Предност је што је лако ажурирати или променити фирмвер који процесор треба да изврши.



Слика 6. Покретање преко AXI-Slave-a

Сви начини покретања процесора су верификовани, као и меморијска мапа. Направљено је верификационо окружење и пуштени су тестови како би се осигурала добра функционалност омотача. Блок дијаграм верификационог окружења приказан је на слици 7.



Слика 7. Top testbench wrapper-a

## 6. МЕМОРИЈСКА МАПА

Да би се осигурала максимална компатибилност и лакоћа интеграције, било је потребно прилагодити меморијску мапу тако да одговара меморијској мапи *xTensa* процесора као да је интегрисан у омотач.

Из перспективе дигиталног дизајна, меморијска мапа је дефинисана као параметар унутар декодера адреса и демултиплексера. Зависно од адресе трансакције, трансакција се рутира ка једном од излаза демултиплексера. Постоје одређени опсези где се трансакција прослеђује даље. Ако трансакција промаши опсег, враћа се "default response" како би се обезбедило да процесор добије неки одговор. Ако процесор затражи адресу која не постоји, то указује на непотпуну меморијску мапу, што изазива прекид рада процесора.

Меморијска мапа је значајна за три порта у претходно приказаном омотачу. То су:

- CV32E40P порт за податке (OBI протокол)
- CV32E40P инструкциони порт (OBI протокол)
- AXI-Slave порт

## 7. ИМПЛЕМЕНТАЦИЈА И ИНТЕГРАЦИЈА МОДЕМА НА FPGA ПЛОЧИ

*Bitstream* добијен из процеса синтезе успешно је учитан на *FPGA*, и тестирање је започето како би се осигурало да резултати одговарају онима добијеним током верификације. Очекивани исход теста је приказивање на терминалу. Исправно извршавање дела програма везаног за *UART* указује на то да процесор исправно функционише.

Постоји комуникација преко *UART*-а што значи да је тест успешно извршен, и порука је приказана на терминалу, што указује да интегрисани омотач са *RISC-V* процесором на *Methods2Business HaLowOne™* платформи исправно врши своју функционалност. Овај корак служи као доказ концепта (енгл. *proof of concept*).

## 8. ЗАКЉУЧАК

Рад је почео проучавањем процесора, где је био потребан детаљнији увид у његове компоненте, унутрашњост и функционисање. Након тога, изазов је био написати цео омотач, поново користити постојеће компоненте и креирати нове по потреби како би се осигурала добра функционалност. После тога, провера свих путања и отклањање грешака у мом коду били су кључни кораци. Коначно, главни део је био постављање на плочу, где сам се даље упознао са скриптама за синтезу и имплементацију.

Током писања *SystemVerilog* кода, многи алати и ресурси су били од помоћи, посебно *Sigasi* - напредни алат за пројектовање и верификацију дигиталних система. Уз помоћ овог алата писање *HDL* кода је постало лакше, праћење компоненти, хијерархије, а цео процес дизајнирања је значајно убрзан.

Закључак рада јесте да смо показали да *RISC-V* процесор може да ради без грешке унутар *HaLowOne™* платформе. Добро се интегрише и исправно обавља своје функције. Додатно, поред тога, интегрисан и тестиран је још један начин отклањања грешака у процесору, коришћењем порука послатих преко *UART*-а.

Процесорски омотач, у садашњем стању, може послужити као основа за друге *RISC-V* процесоре. На пример, истраживање је показало да би интеграција *SCR1* и *Ibex RISC-V* процесора у створени омотач захтевала мање времена, што је био један од циљева самог рада.

## 4. LITERATURA

- [1] <https://www.wi-fi.org/discover-wi-fi/wi-fi-certified-halow> (приступљено у фебруару 2024.).

### Kratka biografija:

Душан Радишић рођен је у Новом Саду 1999. год. Дипломски рад на Факултету техничких наука из области Електротехнике и рачунарства – Ембедед системи и алгоритми одбранио је 2022. године.  
контакт: dusanr14@gmail.com