

NAPREDNA JTAG (JOINT TEST ACTION GROUP) KONTROLNA PLOČA ZA VERIFIKOVANJE ŠTAMPANIH PLOČA U PROIZVODNOM PROCESU**ADVANCED JTAG CONTROLLER BOARD USED FOR VERIFICATION OF PRINTED CIRCUIT BOARDS**

Dorđe Đozlija, Vladimir Rajs, *Fakultet tehničkih nauka, Novi Sad*

Oblast – ELEKTROTEHNIKA I RAČUNARSTVO

Kratak sadržak – U ovom radu je opisan proces dizajniranja i fabrikacije kontrolne JTAG štampane ploče. Kroz ovaj rad se može vidjeti kako zapravo teče proizvodni proces dizajniranja jedne štampane ploče.

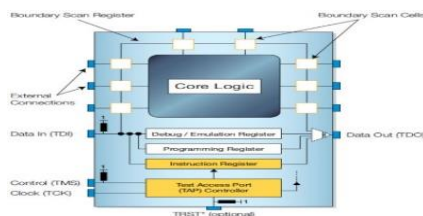
Ključne riječi: *Hardver dizajn, štampana ploča, odgovarajuće komponente, blok šeme, ležaut*

Abstract – *This paper shows development of Advanced JTAG controller board and printed circuit boards in general. Throughout this paper the development can be seen of almost all kinds of PCBs.*

Keywords: *PCBs, Hardware design, block schemes, necessary components, layout*

1. UVOD

Ovde je predstavljen proizvodni proces napredne JTAG kontrolne ploče, čiji je zadatak da služi kao pomoćno sredstvo za verifikovanje drugih ploča tokom njihovog proizvodnog procesa. JTAG ploča je veoma korisna ploča jer ima mogućnost da uoči nepravilnosti kod drugih štampanih ploča [4].



Slika 1. Blok šema JTAG uređaja

2. ZAHTJEVI KOJE JTAG PLOČA MORA ISPUNJAVATI

U ovom poglavlju su navedeni neki od najbitnijih zahtjeva koje JTAG ploča mora ispunjavati, u njih spadaju određene funkcionalnosti, komponente koje se moraju koristiti, maksimalna brzina rada ploče, potrošnja same ploče, interfejsi koje ploča mora posjedovati, razne vrste ESD zaštita, indikacije za ispravan rad i mnoge druge funkcionalnosti.

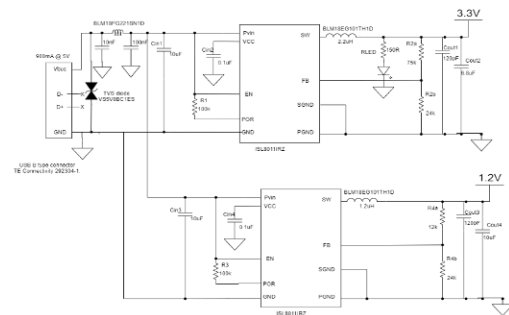
Neki od zahtjeva su:

1. JTAG interfejs mora imati zaštitu od obrnutog polariteta. Ova zaštita ne smije disipovati snagu, takođe i 2 lokalna napajanja

NAPOMENA:

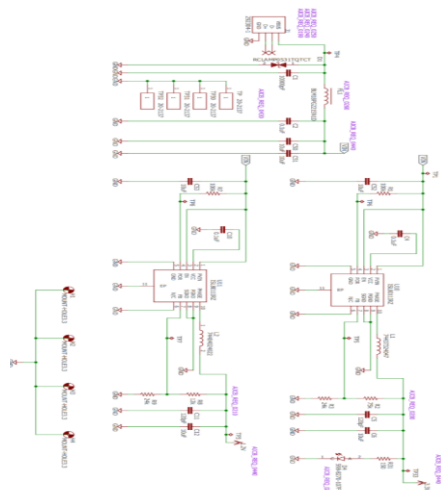
Ovaj rad proistekao je iz master rada čiji mentor je bio dr Vladimir Rajs, vanr. prof.

2. Čitav JTAG interfejs mora imati ESD zaštitu u skladu sa IEC 61000-4-2; level 4 (ESD) standardom, kao i ostale signalne linije od značaja.
3. JTAG kontrolna ploča mora imati optičku indikaciju u vidu zelene LED diode kada se ustabili naponski nivo od 3.3V
4. JTAG kontrolna ploča mora da koristi Spartan 6 FPGA i STM32F407VGT mikrokontroler

3. BLOK ŠEME PLOČE**3.1 Blok šema napajanja ploče**

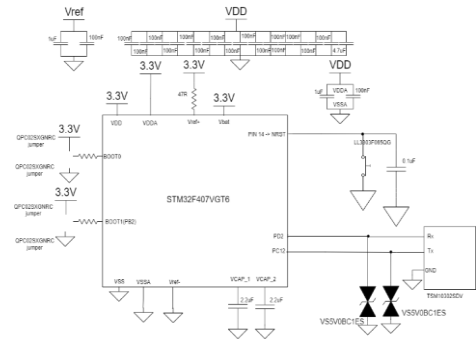
Slika 2. Blok šema napajanja ploče

Razvijen je blok napajanja koji se nalazi na slici 2. To je DC-DC eng. Buck regulator koji se koristi je ISL8011IRZ je sinhroni regulator sa efikasnošću od 95%, iskorišćena su 2 ova eng. Buck regulatora kako bismo dobili 2 lokalna napajanja jedno od 3.3V i jedno od 1.2V. Realizacija je prikazana na slici 3.



Slika 3. Šematik napajanja ploče

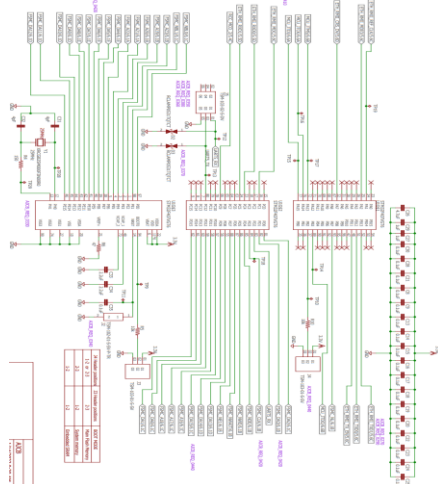
3.2 Blok šema programiranja i resetovanja mikrokontrolera



Slika 4. Blok šema programiranja i resetovanja MCU

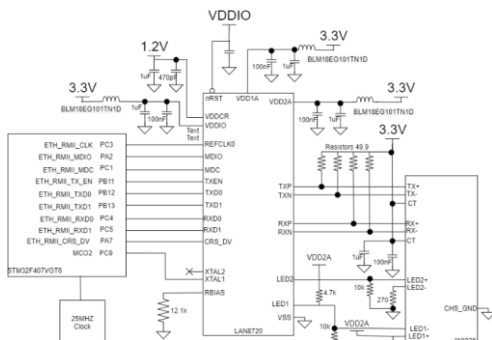
Mikrokontroler [1] se programira pomoću UART5 interfejsa na samom mikrokontroleru. Priklučci UART5 interfejsa su PD2 i PC12 slika 4., takođe preko UART5 interfejsa se vrši i debug JTAG kontrolne ploče.

Korišćena je Bi – Direkciona TVS dioda [6] za ESD [7] zaštitu ICP (In-Circuit Programming) linija. Realizacija prikazana na sl 5.



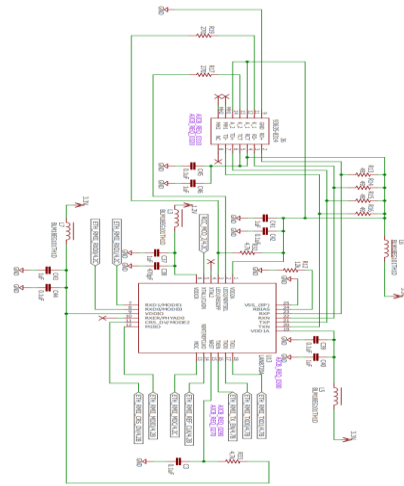
Slika 5. Šematik progarmiranja i resetovanja MCU

3.3 Blok šema Ethernet interfejsa



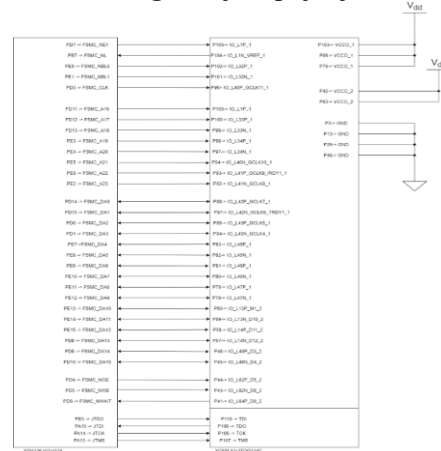
Slika 6. Blok šema ethernet interfejsa

Sa blok šeme (slika 6.) vidi se da je 25MHz kristalni oscilator klok signal za mikrokontroler, dok je priključak PC9 mikrokontrolera zapravo klok signal za ethernet čip LAN8720 koji je napajan od strane Buck regulatora. Realizacija prikazana na slici 7.



Slika 7. Šematik Ethernet interejsa

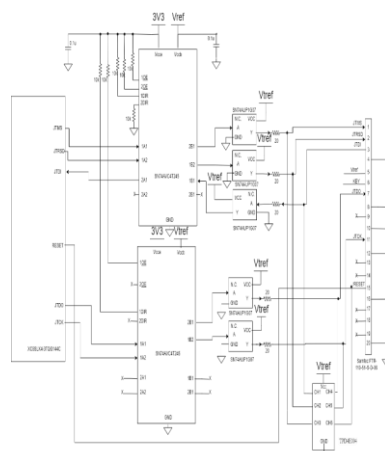
3.4 Blok šema konfiguracije i spajanja FPGA i MCU



Slika 8. Blok šema kofiguracije i spajanja FPGA sa MCU

Na osnovu zahtjeva FPGA se programira preko lokalnog JTAG interfejsa koji dolazi iz mikrokontrolera [5].FPGA će služiti kao generator JTAG interfejs signala nakon njegove konfiguracije. Način povezivanja prikazan na slici 8.

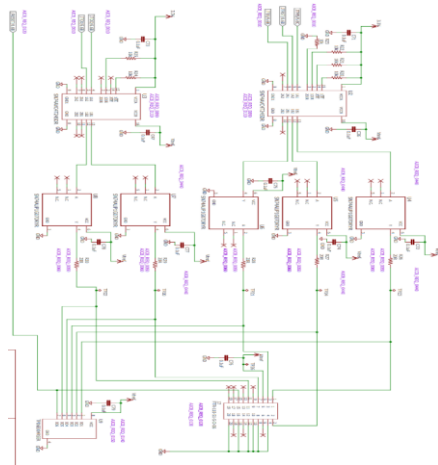
3.5 Blok šema JTAG interfejsa



Slika 9. Blok šema JTAG interfejsa

JTAG signali iz FPGA dolaze do eng. Level shifter-a (slika 9.), čiji je zadatak da prepozna logičke nivoe nakačene ploče na JTAG kontrolnu ploču i shodno tome

osigura sigurnu i jasnu komunikaciju između nakačene ploče i JTAG kontrolne ploče.



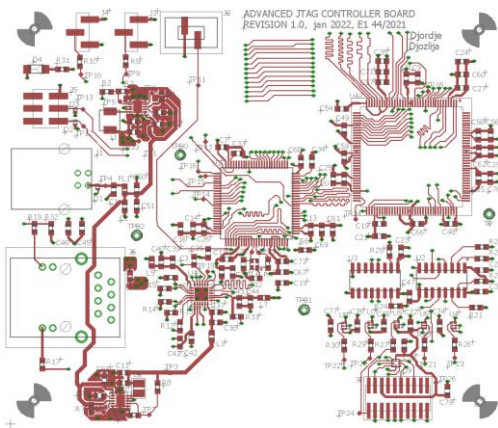
Slika 10 Šematik JTAG interfejsa

4. IZRADA LEJAUTA NAPREDNE JTAG KONTROLNE PLOČE

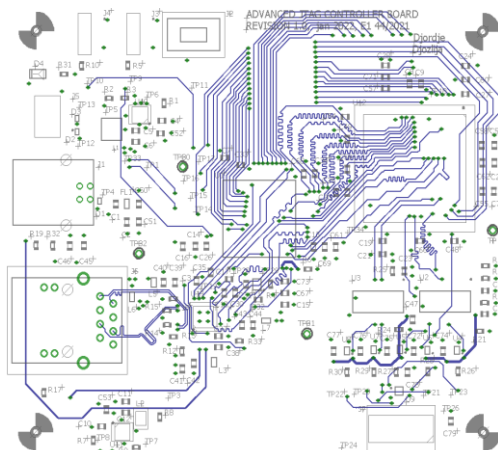
Lejaut napredne JTAG kontrolne ploče je napravljen u 4 sloja (eng. 4-layer stackup), gornji(crveni) i posljednji (plavi) sloj čine provodne linije dok je drugi sloj GND, a treći sloj VDD [8].

4.1 Signalne linije

Na slikama 11 i 12 su prikazane provodne linije gornjeg i donjeg sloja (crvena – gornji, plava – donji)



Slika 11 Gornji sloj s provodnim linijama

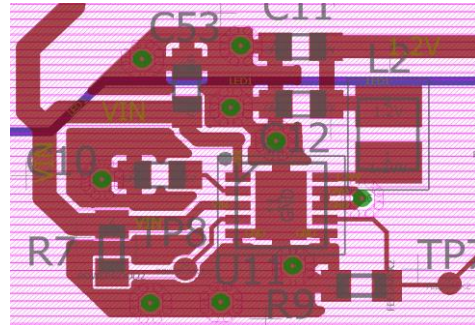


Slika 12 Donji sloj s provodnim linijama

Puno veći broj linija na donjem sloju, tako da što više provodnih linija se spaja na donjem sloju, takođe i ovo su linije kontrolisane impedanse od 50 Ω čiji je referenti sloj GND.

4.2 Via Sticking (postavljanje veće količine vija unutar provodne površine)

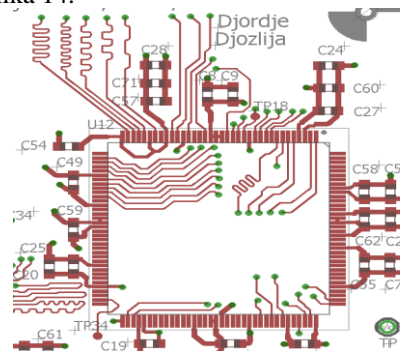
Napajanje bi bilo nestabilno ako bi samo kroz jednu viju ili jednu provodnu liniju vukli napon od 1.2V svuda po ploči. Došlo bi do pregrijavanja i nestabilnosti u samom regulatoru. Realizacija prikazana na slici 13.



Slika 13 Via Sticking

4.3 Decoupling kondenzatori

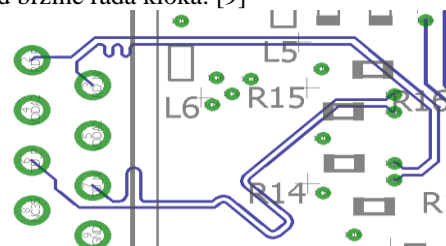
Decoupling kondenzatori moraju biti blizu priključaka komponenti kako bi ta komponenta imala što stabilniji napon, slika 14.



Slika 14. Ispravno postavljeni decoupling kondenzator

4.4 Postavka provodnih linija iste dužine (length tuning)

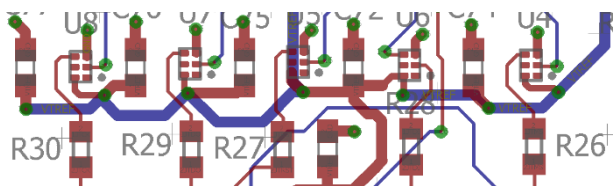
Potrebno je voditi računa o grupacijama provodnih linija, kao što su diferencijalni parovi[3] ili signali koji vezuju komponente s memorijskim komponentama. Ako ploča radi na visokim učestanostima klock signala, određeni parovi moraju biti idealno iste dužine (slika 15) ali to sve zavisi od brzine rada klocka. [9]



Slika 15 Length tuning provodnih linija

4.5 Terminacija signalnih linija

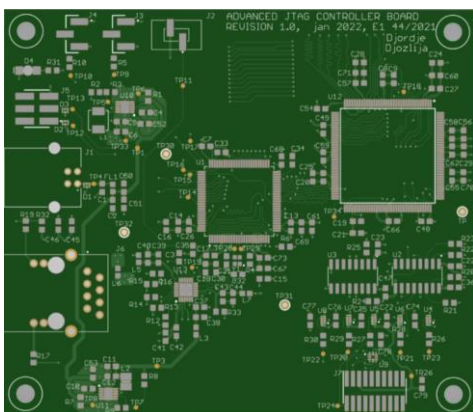
Terminacija signalnih linija je jako bitna jer sprječava pojavu refleksije, smanjuje potencijalne smetnje u prenosu informacija [2]



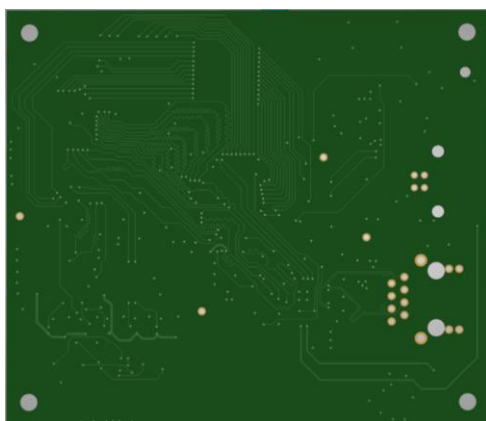
Slika 16. R30, R29, R27, R28, R26 terminacioni otpornici veoma blizu drajvera signala.

5. IZRADA PLOČE I SPISAK POTREBNIH KOMPONENTI (BOM- BILL OF MATERIAL)

Nakon završenog leajuta potrebno je iz datog alata generisati gerber fajlove koji su neophoni da se pošalju firmi koja vrši fabrikaciju štampanih ploča. Slike 17 i 18



Slika 17. Izgled fabrikovane pločice bez komponentni gornji dio



Slika 18. Izgled fabrikovane pločice bez komponentni donji dio

6. ZAKLJUČAK

Dizajn štampanih ploča je veoma zahtjevan i precizan proces gdje dizajner mora da vodi računa o mnogobrojnim stvarima kao što su zahtjevi i njihovo ispunjenje kako bi finalna ploča radila ono za šta je predviđena. Nekad su zahtjevi jednostavni dok nekad dizajner mora da provede dosta vremena ne bi li našao ispravnu komponentu ili način na koji će da riješi određeni problem koji mu se nametnuo.

7. LITERATURA

- [1] Uputstvo za rad sa mikrokontrolerom serije STM32F407. Dostupno na: <https://eu.mouser.com/ProductDetail/STMicroelectronics/STM32F407VGT6?qs=Z8%252BeY1k3TIKAEQqwbO%2FOzA%3D%3D> [maj 2022]
- [2] Datasheet signal drajvera i njegove specifikacije se nalaze na sledecem linku: https://www.ti.com/lit/ds/symlink/sn74aup1g07.pdf?ts=1653640454785&ref_url=https%253A%252F%252Fwww.google.com%252F [maj 2022]
- [3] Uputstvo za povezivanje RMIi interfejsa: <https://resources.pcb.cadence.com/blog/2019-mii-and-rmii-routing-guidelines-for-ethernet> [maj 2022]
- [4] Detaljnije objašnjenje JTAG-a: <https://www.xjtag.com/about-jtag/what-is-jtag/> [maj 2022]
- [5] Detaljnije objašnjenje mikrokontrolera i evalucionna ploča se nalaze na sledecem linku: <https://www.st.com/en/evaluation-tools/stm32-eval-boards.html> [maj 2022]
- [6] Opis rada i funkcionalnost TVS diode: https://en.wikipedia.org/wiki/Transient-voltage-suppression_diode [maj 2022]
- [7] Više informacija oko ESD zaštite i uzroka nastanka ESD-a: <https://www.techtarget.com/whatis/definition/electrostatic-discharge-ESD> [maj 2022]
- [8] Objašnjenje načina izrade pločice u 4 sloja, kao i dodatna uputstva: <https://electronics.stackexchange.com/questions/506926/jlpcb-4-layer-stackup> [maj 2022]
- [9] Rutiranje diferencijalnih parova, kao i svi uslovi koji se moraju ispuniti: <https://www.altium.com/documentation/altium-designer/interactively-routing-differential-pairs-pcb?version=18.1> [maj 2022]

Kratka biografija:

Dorđe Dozlija rođen je 1997 godine u Kozarskoj Dubici, Bih. Završio je Gimnaziju u Kozarskoj dubici 2017 godine. Iste godine upisao Fakultet Tehničkih Nauka u Novom Sadu. Diplomski rad pod nazivom Instalacija razvojnog okruženja Necto Studio i uputstvo za korišćenje virtualne laboratorije Planet Debug odbranio je 2021. godine.



Vladimir Rajs rođen je 1982. godine u Apatinu. Diplomirao je 2007, a doktorirao 2015. godine na Fakultetu tehničkih nauka u Novom Sadu. Od 2016. godine zaposlen je kao docent na Departmanu za elektroniku, energetiku i telekomunikacije FTN-a. Oblasti interesovanja su mu elektronika i primenjena elektronika