

**PROJEKTOVANJE TAKTOVANIH CMOS KOMPARATORA****DESIGN OF CMOS CLOCKED COMPARATORS**Maćaš Varga, *Fakultet tehničkih nauka, Novi Sad***Oblast – ELEKTROTEHNIKA I RAČUNARSTVO**

**Kratak sadržaj** – U ovom radu je opisano projektovanje taktovanih komparatora pomoću tri često korišćene topologije. Prikazani su najvažniji parametri koji određuju kvalitet kola. Rezultati simulacija kola na nivou leajauta sa ekstrahovanim parazitima su upoređeni sa drugim radovima.

**Ključne reči:** Komparatori, kašnjenje, CMOS tehnologija, projektovanje analognih integrisanih kola.

**Abstract** – With the help of three commonly used topologies, this paper describes the design of clocked comparators. Most important parameters that define the quality of circuit, are presented. The post-layout simulation results are compared to other relevant papers.

**Keywords:** Comparators, delay, CMOS technology, design of analog integrated circuits.

**1. UVOD**

Obrađivanje podataka koji dolaze od senzorskih uređaja zahteva dobru ravnotežu između analogne i digitalne oblasti. Zbog toga su CMOS (engl. *Complementary Metal Oxide Semiconductor*) komparatori vrlo bitni u integrisanim kolima.

Komparatori odlučuju da li su neki signali veći ili manji od neke referentne vrednosti ili upoređuju dva signala međusobno. Prema tome, oni se najčešće koriste u kolima za pretvaranje analognih signala u digitalne signale, u kolima za prenos podataka ili prekidačkim regulatorima [1]. Pošto broj komparatora korišćenih u integrisanom kolu može biti velik, bitno je da potrošnja i površina bude što manja, prekidačke sposobnosti što brže i ofset napon dovoljno mali u odnosu na ulazni signal. Ponekad se parametri popravljaju korišćenjem pretpojačavača ili kompenzacijom. Neprekidni (kontinualni) komparatori najčešće imaju pojačavač ispred kola za odlučivanje, dok kod dinamičkih komparatora na izlazu se nalaze statički lečevi za čuvanje odluka [2].

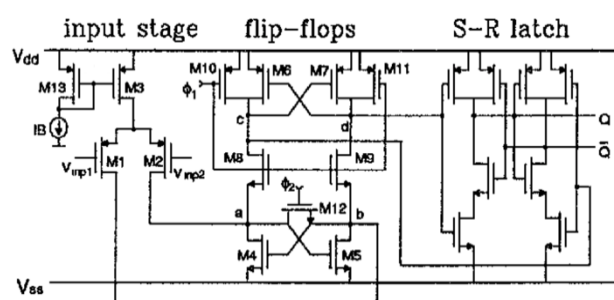
Cilj ovog rada je prikaz postupka projektovanja dinamičkih CMOS komparatora i rešavanja problema u toku istog. Korišćena je tehnologija TSMC 180nm. U radu su prikazane električne šeme i fizičke realizacije (leajuti) tri često korišćenih topologija koje su projektovane, kao i rezultati simulacija kola na nivou leajauta sa ekstrahovanim parazitima. Na kraju rada su svi rezultati upoređeni sa drugim relevantnim radovima dostupnim u literaturi.

**NAPOMENA:**

Ovaj rad proistekao je iz master rada čiji mentor je bila dr Jelena Radić, vanr. prof.

**2. PROJEKTOVANJE KOMPARATORA****2.1. Yin komparator**

Na slici 1. može se videti Yin komparator. Deo kola koji donosi odluke, koji je u stvari dvostruki leč, se sastoji od jednog PMOS (M6 i M7) i jednog NMOS flipflop-a (M4 i M5). Osim toga, tu se nalaze i NMOS transmisiona kola (M8 i M9) za razdvajanje dva flipflop-a i jedan prekidač (M12) za balansiranje napona dve grane leča posle svake faze odlučivanja. Spajanje dve grane pomaže da se u sledećem koraku garantuje isto početno stanje u granama, kako ne bi došlo do neusklađenosti, koja može dovesti do pogrešne odluke komparatora. Tu se nalaze i prekidači paralelno sa tranzistorima PMOS flipflop-a (M10 i M11), koji služe da podignu potencijal izlaznih signala na nivo napajanja glavnog leča pre faze odlučivanja, i time garantuju bržu odluku i manju verovatnoću efekta neusklađenosti. Svi prekidači su kontrolisani signalom takta, koji kontroliše prelaz između faze odlučivanja i faze resetovanja.



Slika 1. Električna šema Yin komparatora [3]

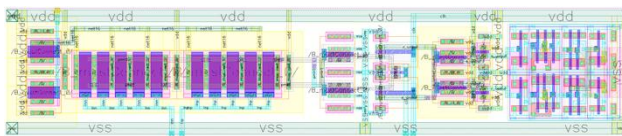
Kolo je u fazi reseta kada je takti signal nizak; tada je NMOS prekidač za balansiranje aktivan i izjednačava napone na izlazu NMOS flipflop-a, postavljajući ih na potencijal proporcionalan razlici napona ulaznih signala. Ovaj napon će predstavljati naponsko odstupanje u sledećoj fazi odlučivanja. U međuvremenu, PMOS prekidači su zatvoreni i drže PMOS flipflop isključen i izlaz leča na naponskom nivou napajanja.

Kada se prelazi u fazu odlučivanja, tj. signal takta postaje visok, svi prekidači se otvaraju, a transmisione kapije se zatvaraju i povezuju dva flipflop-a. U prvom delu faze, dolazi do postepenog pražnjenja kapacitivnosti u tačkama a i b, dok ulazni stepen održava naponski nivo. Kada se prekidač za balansiranje potpuno isključi, NMOS flipflop se uključuje i stvara prvu pozitivnu povratnu spregu, koja će pojačati postojeću razliku između brzine pražnjenja kapacitivnosti, jer u zavisnosti od razlike ulaznih signala, jedna grana će se uvek prazniti malo brže. Posle određenog vremena, kada se kapacitivnost tačaka S i R

isprazne dovoljno da i PMOS flipflop započne sa radom, dolazi do formiranja druge pozitivne povratne sprege, i tako se još brže dolazi do odluke. Ta odluka se čuva u leču do sledeće faze.

Bitno je prepoznati uticaje svih tranzistora na parametre kola. Veličine prekidačkih elemenata nisu od velikog značaja, jer je samo bitno da prekidači budu što brži i na ostale parametre ne utiču značajno. Prema tome, oni treba da budu što manji, tako smanjujući dodatne parazitne kapacitivnosti, povećavajući brzinu, ali i smanjujući uticaj na potrošnju i zauzetu površinu. Ulazni tranzistori i NMOS tranzistori leč kola su dominantno odgovorni za pojačanje, brzinu i ulazni naponski ofset, pa će se prema tome balansiranje vršiti zavisno od navedena tri parametra. Ovaj deo kola je najkritičniji, jer se tu dešava najveće pojačanje. PMOS leč kolo takođe utiče na parametre kola, ali ne u tako velikoj razmeri, jer se PMOS tranzistori leč kola aktiviraju tek kada je NMOS leč aktivan neko vreme, i doneo preliminarnu odluku. Ulazni tranzistori više utiču na ofset napon, dok leč na brzinu rada kola.

Na slici 2 prikazan je leajut *Yin* komparatora. Pre početka crtanja bitno je prepoznati najkritičnije tačke u kolu. To su ulazni signali, *a* i *b*, i nebaferovani izlazni signali. Naročitu pažnju treba obratiti signalima *a* i *b*, jer se tu dešava najveći deo pojačanja, pa prema tome bilo koji ofset ili šum što se javi u ovim delovima kola se pojačava i ima drastične uticaje na performanse kola. Zbog toga ulazni tranzistori treba da se postavi tako da imaju što manje signala u blizini.



Slika 2. Leajut *Yin* komparatora

## 2.2. Strong-ARM komparator

Kao što se može videti na slici 3, ova topologija se sastoji od diferencijalnog ulaza ( $M_1$  i  $M_2$ ) čiji rad se prekida pomoću tranzistora  $M_7$ , unakrsno povezana dva NMOS ( $M_3$  i  $M_4$ ) i dva PMOS tranzistora ( $M_5$  i  $M_6$ ) koji formiraju leč i četiri prekidača ( $S_1$ - $S_4$ ) koji služe da podignu nivo napona u tačkama X, Y, P i Q.

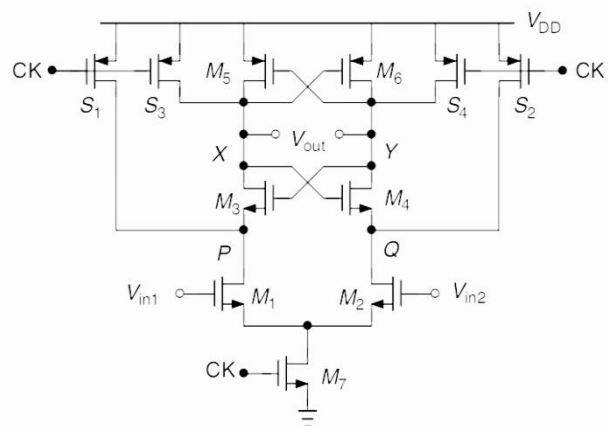
U prvoj fazi, signal takta je nizak, ulazni tranzistori su isključeni, dok su prekidači zatvoreni kako bi postavili kolo u početno stanje, tj. izlazi da budu podignuti na nivo napajanja.

U sledećoj fazi, signal takta se menja u visoko stanje, PMOS prekidači se prekidaču, a ulazni tranzistori počinju sa radom. Količina struje preko ulaznih tranzistora je proporcionalna razlici ulaznih napona. Leč kola su neaktivna u početku. Međutim, kako vrednost napona  $V_P$  i  $V_Q$  opada, NMOS tranzistori počinju sa radom i tako dodatna struja stoji na raspolaganju ulaznim tranzistorima. Naponsko pojačanje je najveće u početku ove faze i polako opada kako se ostatak kola aktivira.

U poslednjoj fazi napon u tačkama  $V_X$  i  $V_Y$  opada dok se tranzistori  $M_5$  i  $M_6$  ne aktiviraju. Za to je potrebno da vrednost napona u tim tačkama bude manja od  $V_{DD} - V_{THP}$ . Kada su svi tranzistori leča aktivni, formira se pozitivna povratna sprega, koja će podići jednu tačku izlaza na nivo

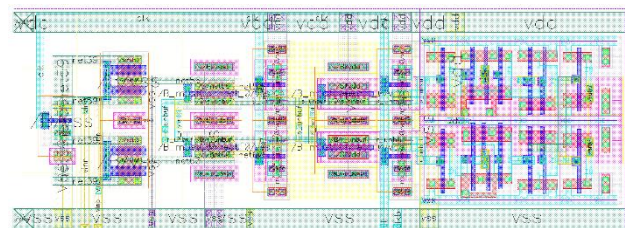
napona napajanja, dok će drugu tačku spustiti na nivo uzemljenja, tako završavajući poređenje signala.

Ulazni tranzistori vrše prvi stepen pojačanja, pa će prema tome biti najširi, što će smanjiti njihov uticaj na ofset napon. U istom trenutku to će malo smanjiti i brzinu rada kola. Međutim, to će se kompenzovati dimenzionisanjem sledećih tranzistora. Pošto NMOS tranzistori leča počinju pojačavačku fazu, oni treba da imaju veću širinu kanala, a posle njih PMOS tranzistori leča. Dimenzionisanje ove topologije je vrlo jednostavno jer se različiti delovi kola mogu vrlo lako uočiti, kao i njihovi uticaji. Generalno, dužine kanala svih tranzistora se drže približno na minimalnoj vrednosti, kako bi se obezbedila što manja kapacitivnost i time što veća brzina rada, osim onih komponenti koje značajno utiču na ofset napon. Širina ulaznih tranzistora igra kritičnu ulogu u definisanju pojačanja i šuma, pa prema tome treba voditi računa da se nađe optimalna vrednost za dostizanje željenih performansi.



Slika 3. Električna šema *strong-ARM* komparatora [4]

Slično leajutu prethodne topologije, i ovde treba voditi računa o postavljanju tranzistora. Treba težiti tome da tok glavnih signala bude što jednostavniji, a diferencijalni signali da budu simetrični koliko god mogu biti kako se ofset napon ne bi pogoršao. Leajut *strong-ARM* komparatora je prikazan na slici 4.



Slika 4. Leajut *strong-ARM* komparatora

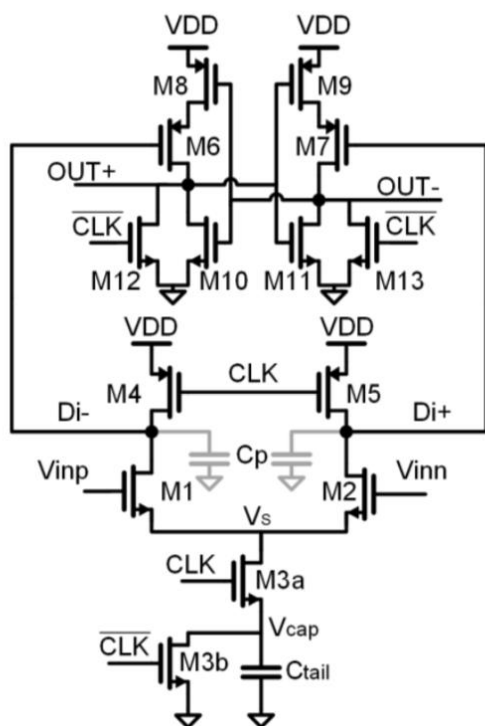
## 2.3. Komparator sa dinamičkim napajanjem

Topologija komparatora sa dinamičkim napajanjem je projektovana tako da poboljša neke performanse najčešće korišćenih topologija. Naime, ova topologija obezbeđuje bolju izolaciju ulaznih tranzistora od uticaja leč kola na izlazu, povećava opseg napona na izlazu i tako smanjuje potreban napon napajanja. Ovaj komparator koristi tehniku smanjivanja potrošnje, kako bi smanjio energiju potrebnu za upoređivanje ulaznih vrednosti. Pojednostavljena električna šema je prikazana na slici 5.

Komparator sa dinamičkim napajanjem je sačinjen od pretpojačavača i izlaznog leč kola, ali pretpojačavač je kontrolisan pomoću prekidačkog kola. Prekidačko kolo se sastoji od dva prekidača (M3a i M3b) i jednog kondenzatora ( $C_{tail}$ ). Glavni nedostatak prethodne verzije ove topologije je to što je potrošnja zavisna od parazitnih kapacitivnosti na izlazu pretpojačavača, koje treba da se pune i prazne u fazi odluke. To je izbegnuto tako što se dodaje veći kondenzator u pretpojačavačko kolo,  $C_p$ , koji kontroliše količinu energije koja može da se potroši u svakoj fazi poređenja [11].

U fazi reseta PMOS tranzistori (M4 i M5) u pretpojačavačkom kolu postavljaju izlaz pretpojačavača na nivo napajanja, dok NMOS tranzistori (M12 i M13) resetuju leč kolo na nivo uzemljenja. U međuvremenu se prazni kondenzator  $C_p$  preko paralelnog prekidača (M3b) u pretpojačavačkom kolu.

Tokom faze poređenja, paralelni prekidač se otvara, dok se redni prekidač (M3a) zatvara, i tako se parazitne kapacitivnosti na drevnovima ulaznih tranzistora (M1 i M2) prazne, a kondenzator  $C_p$  se puni. Ovaj korak povećava napon  $V_{cap}$  i tako se dinamički napajaju ulazni tranzistori, jer se  $V_S$  smanjuje. Sa ovom tehnikom se obezbeđuje skoro upola manja potrošnja ako se poredi sa topologijom bez dodatog kondenzatora i prekidača. Razlika u ulaznim naponima znači da će se parazitna kapacitivnost jedne grane brže isprazniti. Međutim, na kraju faze poređenja se očekuje da obe grane budu ispraznjene.



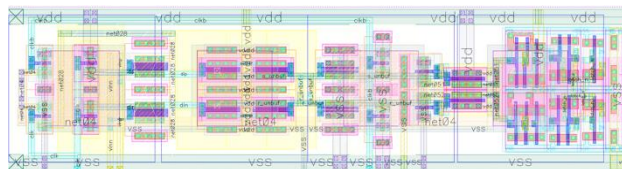
Slika 5. Isti primer slike sa manjim dimenzijama [5]

Projektovanje ove topologije se vrši slično prethodnim topologijama, sa malo većom kompleksnosti zahvaljujući činjenici da ima više tranzistora koji igraju funkcionalnu ulogu, a ne samo prekidača. Takođe se pojavljuju kondenzatori u topologiji, što treba usaglasiti. Svakako se prvo postavljaju dužine i širine kanala prekidača na minimalne vrednosti kako ne bi smanjivali brzinu kola.

Dužine kanala svih ostalih tranzistora se takođe postavljaju na minimalnu vrednost, osim ulaznih tranzistora. Ulazni tranzistori treba da se dimenzionišu tako da budu dovoljno brzi, ali treba da obezbede i dovoljno pojačanje u kolu i međusobna usklašenost da im bude veća. Što su veći tranzistori, to im je usklašenost bolja, a brzina niža. Sličan princip važi i za ostale funkcionalne tranzistore. U leču je potrebno dimenzionisati tranzistore (dovoljno velike vrednosti) tako da im se postave pragovi prekidanja u željenu tačku, ali treba obratiti pažnju opet i na brzinu rada kola. Parazitne kapacitivnosti igraju vrlo kritičnu ulogu.

Kondenzator koji je dodat kako bi se uštedela potrošnja struje treba da bude srednje vrednosti. Mali kondenzator ne bi bio dovoljan da ispuni očekivanja, dok preveliki kondenzator bi usporio kolo. U ovom radu se došlo do zaključka da se radi o kondenzatoru vrednosti nekoliko fF.

I ovde treba voditi računa o postavljanju tranzistora. Treba težiti tome da tok glavnih signala bude što jednostavniji, a diferencijalni signali da budu simetrični koliko je god moguće, kako se ofset napon ne bi pogoršao.



Slika 6. Isti primer slike sa manjim dimenzijama

### 3. DISKUSIJA REZULTATA

Rezultati prikazani u tabeli 1 su dobijeni simulacijom leajuta kola posle ekstrahovanja parazitnih kapacitivnosti i otpornosti. Takođe, u tabeli su dodati rezultati objavljeni u nekoliko radova kako bi se pokazala relevantnost rezultata postignutih u ovom radu u odnosu na dostupnu literaturu.

Nažalost, simulacija šuma nije trivijalan zadatak i zato se retko prikazuje u literaturi, dok je površina vrlo subjektivan parametar, jer zavisi od dodatnih zahteva primene. Prema tome, samo će se uporediti šum i površina topologija projektovanih u ovom radu. Prosečna vrednost šuma projektovanih topologija je približno iste vrednosti, osim  $Y_{in}$  komparatora, čiji šum je tri puta veće od šuma ostalih topologija.

Posmatrajući tabelu 1, može se uočiti da je maksimalno kašnjenje projektovanih topologija u stvari dosta manje od vrednosti postignutih u drugim radovima (osim u [7]). To se može pripisati činjenici da je u ovom radu kašnjenje definisao kao najvažniji parametar, pa je svaka topologija projektovana da kašnjenje bude približno 1 ns. To je naravno uticalo na ofset napon svakog kola.

Vrednosti ofset napona kola u ovom radu ne zaostaju previše u odnosu na neke radove. U realnim promenama se u stvari trudi da se ofset napon još više smanji. Međutim, da bi se to postiglo, potrebno je koristiti tehnike poništavanja napona ofseta, čime se projektovanje drastično otežava.

Vrednosti potrošnje poređenih topologija su vrlo različite. Topologije projektovane u ovom radu se dosta dobro rangiraju. Interesantno je napomenuti da je  $Y_{in}$



komparator najveći potrošač među projektovanim topologijama. To je zbog toga što pojačavački stepen koristi dosta energije u prvoj fazi rada. To je najverovatnije jedna od najvećih mana pomenute topologije. Kao što je i očekivano, *Strong-ARM* komparator ima najmanju statičku potrošnju, jer ima samo jedan stepen, koji se potpuno isključuje kada se ne vrši komparacija.

Ako se pogledaju površine pojedinih topologija, može se videti da je *Strong-ARM* najmanja od svih. To je zbog toga što je topologija vrlo jednostavna i kompaktna. Tu treba posebno istaći komparator sa dinamičkim napajanjem, koji jedini sadrži kondenzatore. Iako su kondenzatori MIM (engl. *metal-insulator-metal*) tipa, oni ipak sprečavaju rutiranje u tim metalnim nivoima, što može prouzrokovati komplikacije. *Yin* komparator je očekivano najveći, zbog ulaznog stepena, kao i dodatnog strujnog ogledala.

Tabela 1. Rezultati simulacija u odnosu na rezultate drugih radova

Referenca	Maks. kašnjenje [ns]	Ofset napon [mV]	Prosečan šum [mVrms]	Snaga [ $\mu$ W]
[6]	7,4	8,5	-	12
[7]	0,87	-	-	269,9
[8]	-	2	-	230
[9]	3,5	0,9	-	8,85
<i>Yin komp.</i>	1	2	1,74	66,866
<i>Strong-ARM topologija</i>	1,13	$\ll 1$	0,415	5,598
<i>Topologija sa dinamičkim napajanjem</i>	1,119	2,25	0,524	7,538

#### 4. ZAKLJUČAK

U ovom radu su detaljno opisani važnost komparatora u savremenim uređajima i tok projektovanja izabranih komparatora. Navedeni su problemi koji treba da se reše. Prikazani su koraci pri donošenju kompromisa i odlučivanju o veličini pojedinih tranzistora. Bitno je voditi računa o tome koji tranzistori utiču na koje parametre i da li smanjuju ili povećavaju pojedine vrednosti. Opisani su tok crtanja (projektovanja) lejauta, detalji na koje treba obratiti pažnju i njihov uticaj na rezultate simulacija posle estrahovanja parazitnih kapacitivnosti. Potrebno je naglasiti da se krajnji rezultati simulacija razlikuju vrlo malo od simulacija kola na nivou električne šeme (nisu prikazani u ovom radu zbog uštede prostora), što se može i očekivati posle vrlo pažljivog planiranja lejauta.

Rad je imao više ciljeva, ali pre svega da prikaže značaj taktovanih komparatora. Projektovane su tri različite topologije komparatora tako da imaju približno ista kašnjenja, da bi se ostali parametri mogli lakše uporediti. Može se uočiti da *Yin* komparator ima dosta veću potrošnju i zauzeta površinu naspram drugih topologija.

Budući koraci bi bili poboljšanje napona ofseta pojedinih topologija pomoću različitih tehnika za poništavanje ovog parametra, koje su prilično složene.

#### 5. LITERATURA

- [1] D. Johns, K. Martin, *Analog integrated circuit design*, USA, 1997.
- [2] B. Goll, H. Zimmermann, *Comparators in Nanometer CMOS Technology*, Austria, 2015.
- [3] G. M. Yin, F. Op't Eynde, and W. Sansen, *A High-speed CMOS Comparator with 8-b Resolution*, IEEE Journal of Solid-State Circuits. VOL. 27, no. 2, 1992.
- [4] Behzad Razavi, *The StrongARM Latch*, IEEE Journal of Solid-State Circuits, 25 June 2015.
- [5] S. Bindra, C. E. Lokin, A. Annema, B. Nauta, A *30fJ/comparison Dynamic Bias comparator*, Integrated Circuit Design, 2017.
- [6] A. Sathishkumar, S. Saravanan, *Analysis and Design of Low Power High Speed Dynamic Latch Comparator using CMOS Process*, International Journal of Scientific & Engineering Research, vol. 5, pp. 2229-5518, May 2014.
- [7] B. S. Patro, S. Biswas, I. Roy, B. Vandana, *1 GHz High Sensitivity Differential Current Comparator for High Speed ADC*, Journal of Digital Integrated Circuits in Electrical Devices, vol. 2, no. 1, 2017.
- [8] Khorami and M. Sharifkhani, *A Low-Power High-Speed Comparator for Precise Applications*, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 26, pp. 2038–2049, 2018.
- [9] N. Ghaziani, S. Radfar, Y. Bastan, P. Amiri and M. H. Maghami, *A Low-Power Low-Voltage Dynamic Comparator in 180nm CMOS Technology*, 2020 28th Iranian Conference on Electrical Engineering (ICEE), 2020.

#### Kratka biografija:



**Mačaš Varga** rođen je u Senti 1992. godine. Master rad na Fakultetu tehničkih nauka iz oblasti Elektrotehnike i računarstva odbranio je 2022. godine. kontakt: [thetamsay@gmail.com](mailto:thetamsay@gmail.com)