

VERIFIKACIJA MODULACIONIH STRATEGIJA MAŠINA SA OTVORENIM KRAJEVIMA NAMOTAJA PRIMENOM FPGA I HIL UREĐAJA**VERIFICATION OF MODULATION STRATEGIES FOR OPEN END WINDING MACHINES USING FPGA AND HIL DEVICES**Aleksandar Ivanović, *Fakultet tehničkih nauka, Novi Sad***Oblast – ELEKTROTEHNIKA I RAČUNARSTVO**

Kratak sadržaj – U radu su prezentovani rezultati verifikacije raspregnutih modulacionih strategija za upravljanje dva invertora koji ostvaruju dva nivoa izlaznog napona i napajaju mašinu sa otvorenim krajevima namotaja. Prvo je data teorijska analiza i način implementacije predloženih modulacionih strategija. Zatim je vršena eksperimentalna verifikacija prezentovanih modulacionih strategija. Eksperimentalna verifikacija je vršena pomoću FPGA i HIL uređaja.

Ključne reči: Modulacione strategije, Mašina sa otvorenim krajevima namotaja, FPGA, HIL

Abstract – In this paper verification results, of modulation strategies for open-end winding machine supplied by two two-level inverters, are presented. Firstly theoretical basics and implementation of used modulation strategies is presented. Modulation strategies were then tested on the real system, using FPGA and HIL devices.

Keywords: Modulation strategies, Open-end winding, FPGA, HIL

1. UVOD

Tema ovog rada jeste eksperimentalna verifikacija modulacionih strategija na mašinama sa otvorenim krajevima namotaja. Kontrolni algoritam će se izvršavati na *Field Programmable Gate Array (FPGA)* uređaju - *ZedBoard*, dok će se mašina sa otvorenim krajevima namotaja simulirati preko *Typhoon HIL600* uređaja. Ovi uređaji komuniciraju preko prilagodne kartice koju je bilo neophodno projektovati. Mašina sa otvorenim krajevima namotaja će se napajati obostrano sa invertorom koji ostvaruje dva nivoa izlaznog napona. Za ovaj pogon će se vršiti poređenje predloženih modulacionih strategija. Konačno, harmonijske performanse predloženih modulacionih strategija datog pogona biće prezentovane.

1.1 Mašine sa otvorenim krajevima namotaja

Mašine sa otvorenim krajevima namotaja, kako im ime kaže, umesto formiranja konfiguracije sa prevezivanjem statorskih namotaja, imaju otvorene krajeve namotaja sa obe strane. Samim tim ove mašine se napajaju sa obe strane namotaja. Principijska šema mašine sa otvorenim krajevima namotaja prikazana je na slici 1.

NAPOMENA:

Ovaj rad proistekao je iz master rada čiji mentor je bio dr Stevan Grabić, vanr. prof.



Slika 1. Principijska šema mašine sa otvorenim krajevima namotaja

Pokazano je da napajanjem mašine sa otvorenim krajevima namotaja sa dva dvonivovska invertora se može postići rad sa više naponskih nivoa [1]. Kod mašina sa otvorenim krajevima namotaja, ukupan broj nivoa faznog napona, ne zavisi samo od broja naponskih nivoa individualnih invertora, već i od odnosa napona dc kola koja napajaju te invertore. Kod mašine koja je napajana sa po dva dvonivovska invertora, jednakih dc napona, ukupan broj naponskih nivoa jednak je kao i kod mašine napajane sa jedne strane tronivovskim invertorom. Ukoliko je odnos dc napona jednak 2:1, ukupan broj naponskih nivoa je jednak kao i kod invertora sa četiri nivoa. Upravo to predstavlja i prednost mašina sa otvorenim krajevima namotaja, iste performanse *multilevel* rada se postižu sa jednostavnijim i robusnijim topologijama, što dovodi do povećanja pouzdanosti.

U [2] su predstavljene dve raspregnute modulacione strategije, kada su invertori napajani sa dc naponima različitih odnosa, 2:1. U prvoj se naponske reference dele u odnosu 2:1 dok im je frekvencija prekidanja ista, dok se kod druge strategije, frekvencija prekidanja deli u odnosu 2:1. Dobar pregled modulacionih metoda za mašine sa otvorenim krajevima namotaja se može naći u [3].

Takođe, pokazano je da se kod ovih pogona, na račun broja naponskih nivoa može postići eliminacija *common-mode* napona i balansiranje kondenzatora dc kola. Ovo je od posebnog značaja za smanjenje gubitaka koje *common-mode* napon stvara. U [4] mašina sa otvorenim krajevima namotaja se napaja sa dva petonivovska invertora, koji su sačinjeni od kaskadne veze tronivovskog i dvonivovskog invertora, gde se u potpunosti eliminiše *common-mode* napon.

1.2. Primena FPGA u energetskej elektronici

Danas i dalje, najveći broj digitalnih kontrolera je zasnovan na *Digital Signal Processing (DSP)* procesorima ili mikrokontrolerima. Međutim ova rešenja imaju dva glavna nedostatka, to su vreme izvršavanja kontrolnog algoritma i nedostatak fleksibilnosti u povezivanju sa analognim okruženjem. Oba ova nedostatka se mogu prevazići upot-

rebom *FPGA* i pažljivim deljenjem algoritamskih zadataka između hardverskih i softverskih komponenti. Pored toga, lako se rekonfiguriraju, imaju manju potrošnju energije i relativno brži proces razvoja [5].

Pokazano je da kontroler zasnovan na *FPGA* može biti efikasan odabir za visoko zahtevne aplikacije, gde su frekvencije prekidanja veće od 100kHz , ali i za aplikacije sa gde su prisutne niže frekvencije prekidanja. U prvu grupu spadaju aplikacije gde je prisutna potreba za specifičnim hardverom, aplikacije u kojima postoji visok nivo paralelizma kao i *HIL* aplikacije. Što se tiče druge grupe, može doći do značajnih poboljšanja u vremenu potrebnom za izvršavanje algoritma, a samim tim i do boljih performansi pogona. Detaljniji opis primene u ovoj oblasti se može naći u [6]. Neki od primena *FPGA* u industriji, kao što su *HIL* simulatori, napredni kontrolni algoritmi, kao i eksperimentalni rezultati predstavljeni su u [7].

Međutim, i pored brojnih pogodnosti i mogućih primena, *FPGA* digitalni sistemi se retko koriste u energetici. Još uvek, glavno ograničenje je cena. Pored toga, korišćenje *FPGA* podrazumeva dobro znanje i hardvera i softvera, zatim znanje potrebno za integraciju, kao i efikasnu podelu algoritamskih zadataka između ova dva domena. Ovo, zajedno uz činjenicu da se inženjeri često drže poznatih rešenja, predstavlja prepreku za veću primenu *FPGA*.

1.3 Hardware in loop

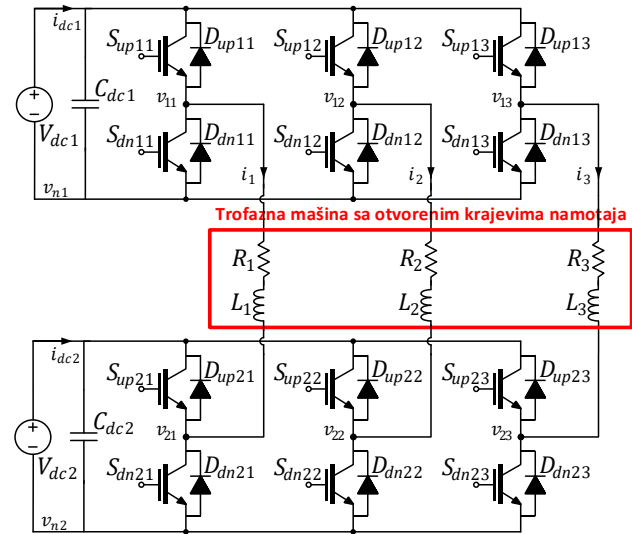
HIL simulacija, najopštije rečeno, je tehnika koja se koristi za razvoj i testiranje kompleksnih *embedded* sistema u realnom vremenu. Iz perspektive kontrolera, ne postoji razlika između realnog i simuliranog hardvera. Samim tim ova tehnika omogućava testiranje kontrolnog algoritma a da pri tom ni prototip konvertera nije izrađen. Performanse simulacije zavise od mogućnosti *HIL* uređaja ali i od kompleksnosti matematičkih modela hardvera koji se simuliraju sa *HIL*-om.

HIL tehnika se danas koristi u sve više industrija. Najčešće primene su u oblastima energetske elektronike i energetskih sistema [8]. Današnji *HIL* uređaji se sve više fokusiraju na primenu u oblasti elektroenergetskih mikromreža. Takođe, sve više je prisutna primena *HIL* uređaja u automobilskoj industriji, gde *HIL* uređaji mogu da simuliraju više *Electronic Control Unit (ECU)* jedinica od jednom i služe za testiranje kompleksnog električnog sistema automobila.

2. TROFAZNA MAŠINA SA OTVORENIM KRAJEVIMA NAMOTAJA NAPAJANA SA DVA INVERTORA SA SVA NIVOVA

Topologija koja se razmatra za početak je prikazana na slici 2. Sastoji se od dva invertora sa dva nivoa, koji su napajani sa dva dc izvora (V_{dc1} i V_{dc2}) i trofazne električne mašine sa otvorenim krajevima namotaja. Izlazni naponi invertora su označeni sa v_{1k} i v_{2k} , gde broj k predstavlja broj faze. Fazne struje su označene sa i_k . Komponente na šemi su $S_{poj k}$ i $D_{poj k}$, i predstavljaju prekidače i diode. Supskript "po" označava poziciju komponente u grani invertora, "up" za gore i "dn" za

dole. I na kraju, "j" označava o kom se invertoru radi (1 ili 2) i "k" predstavlja broj faze mašine (1, 2 ili 3).



Slika 2. Trofazna šema korišćene topologije

Za razvijanje modulacione strategije, naponski invertori se najčešće posmatraju kao pojačavači *PWM* signala, gde je *IGBT* i dioda struktura posmatrana kao idealni bidirekcionni prekidač. U većini slučajeva ovaj pristup je sasvim opravdan. Analiza se može značajno pojednostaviti korišćenjem prekidačkih stanja, koja predstavljaju *IGBT* i diodu kao par, umesto da se svaka od ovih poluprovodničkih komponenti posmatra posebno.

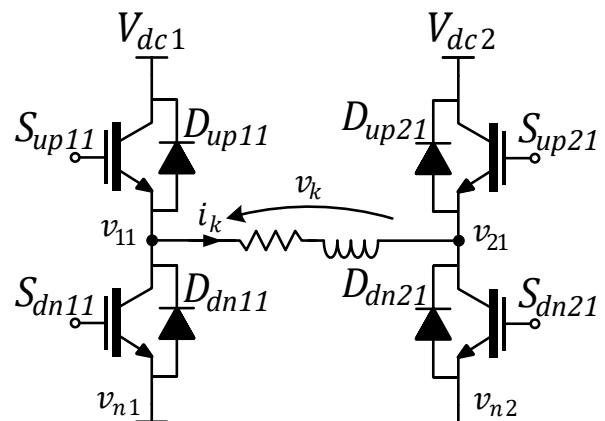
Konačna formula za fazni napon predstavlja razliku izlaznih napona dva invertora i *common-mode* napona:

$$v_k = v_{1k} - v_{2k} - v_{n2n1}, \quad (1)$$

gde se *common-mode* napon računa kao:

$$v_{n2n1} = v_{n2} - v_{n1} = \frac{1}{3} \sum_{k=1}^3 (v_{1k} - v_{2k}). \quad (2)$$

Na ovaj način, napon na namotaju i *common-mode* napon su izraženi kao funkcija izlaznih napona invertora koji su u potpunosti upravljivi. Jedna grana invertora može da proizvede dva različita napona, 0 i V_{dc} što odgovara stanjima 1 i 0. Dolazi se do zaključka da postoje četiri moguće kombinacije prekidača po fazi. Nadalje, kompleksni model invertora sa mašinom će se posmatrati kao jednostavniji, tako što će se posmatrati samo jedna faza, što je prikazano na slici 3. **Reference source not found.**



Slika 3. Jednofazna šema korišćene topologije

Pod pretpostavkom da su donji potencijali dc kola isti ($v_{n2} = v_{n1}$), može se doći do naponskih nivoa faznog napona. Kako bi se generalizovala i pojednostavila analiza, uvodi se smena:

$$r = \frac{V_{dc1}}{V_{dc2}}, \quad (3)$$

dok se ukupni napon dc kola može napisati kao:

$$V_{dc} = V_{dc1} + V_{dc2}. \quad (4)$$

Ovi naponi su dostupni u tabeli 1.

N	S1	S2	V_{1k}	V_{2k}	V_k
1	1	1	$r/(r+1)$	$1/(r+1)$	$(r-1)/(r+1)$
2	1	0	$r/(r+1)$	0	$r/(r+1)$
3	0	1	0	$1/(r+1)$	$-1/(r+1)$
4	0	0	0	0	0

Tabela 1

3. RASPREGNUTE METODE MODULACIJE

Jedan od pristupa prilikom razvoja modulacione strategije za pogon mašine sa otvorenim krajevima namotaja, je da se dva naponska invertora posmatraju kao zasebni moduli. S obzirom da je mašina napajana sa dve strane i uzimajući u obzir jednačinu (1), moguće je ostvariti fazni napon sa više naponskih nivoa. Ideja je da se upravljanje celog sistema razloži na dva podsistema, manje kompleksnosti, tako što će se ukupna referenca podeliti na dve reference, po jedna za svaki invertor.

Ukoliko bi se referenca napona delila na osnovu ukupnog modulacionog indeksa govori se o metodama nejdnakog deljenja reference, na engleskom *Unequal Voltage Sharing (URS)* [9]. Pimenom *URS* modulacije, postoje dve oblasti upravljanja invertorima. Kada je $M \leq M_{max}/2$, gde je M modulacioni indeks, jednim invertorom se upravlja, dok drugi služi da formira zvezdu. U tok slučaju pogon je identičan kao kada je mašina napajana jednostrano, sa jednim invertorom. U drugom slučaju, kada je $M \geq M_{max}/2$, jedan invertor se drži na $M = M_{max}$, dok se drugim invertorom upravlja. Tada je prisutan multilevel rad.

Referenca faznog napona u slučaju *V/f open-loop* kontrole se kreira na osnovu sledeće jednačine:

$$v_k^* = \frac{M}{2} \sin \left(M \cdot \omega_n \cdot t - \frac{2 \cdot \pi}{2} \cdot k \right) \quad (5)$$

Zajedničko za sve raspregnute metode je deljenje originalne naponske reference na dva dela, kako bi se ona podelila između dva naponska invertora. Modulacija se vrši kasnije, posebno za v_{1k}^* i v_{2k}^* , koje predstavljaju reference za izlazne napone naponskih invertora.

Pogon se može upravljati sa samo jednim invertorom za indeks modulacije $M < M_{max}/(r+1)$. Označimo sa 1 invertor koji radi u niskim modulacionim indeksima, dok je sa 2 označen invertor koji radi u *PWM* modu, za $M > M_{max}/(r+1)$. Na osnovu ovoga može se zapisati na koji način će se računati reference:

$$M_1 = \begin{cases} 0, & 0 \leq M \leq \frac{M_{max}}{(r+1)} \\ (r+1) \left(M - \frac{M_{max}}{(r+1)} \right), & \frac{M_{max}}{(r+1)} \leq M \leq M_{max} \end{cases} \quad (6)$$

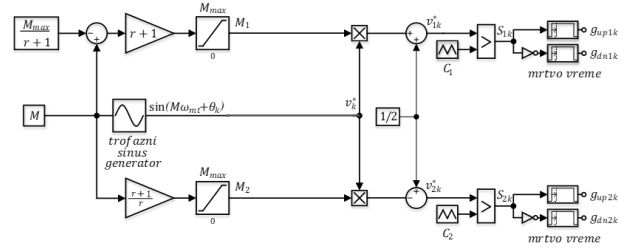
$$M_2 = \begin{cases} (r+1) \cdot M, & 0 \leq M \leq \frac{M_{max}}{(r+1)} \\ M_{max}, & \frac{M_{max}}{(r+1)} \leq M \leq M_{max} \end{cases}$$

Dobijeni indeksi modulacije se koriste za dobijanje para referenci za dva naponska invertora. M_1 i M_2 predstavljaju samo amplitude za reference. Što se tiče frekvencije referenci, ona se podešava zasebno i figuriše u M u jednačini (5). Konačan izraz za reference v_1^* i v_2^* glasi:

$$v_1^*(t) = \frac{1}{2} + \frac{M_1}{M} \cdot v_k^*(t) \quad (7)$$

$$v_2^*(t) = \frac{1}{2} + \frac{M_2}{M} \cdot v_k^*(t)$$

Dobijene jednačine (6) i (7) predstavljaju metodu nejdnakog deljenja referenci – *URS*. Blok dijagram ove metode nalazi se na slici 4. Sa C_1 i C_2 su označeni noseći signali za invertor 1 i 2. Poređenjem sa referencom, generišu se upravljački signali za prekidače (g_{up1k} , g_{dn1k} , g_{up2k} , g_{dn2k}) i dodaje mrtvo vreme.

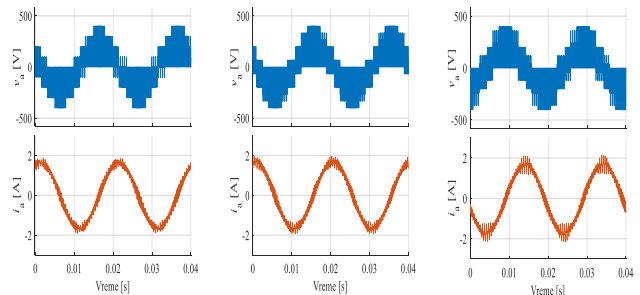


Slika 4. Blok dijagram *URS* modulacije

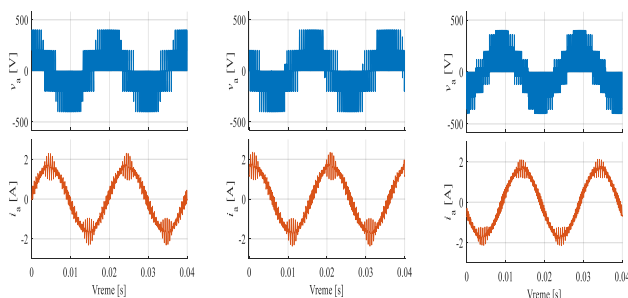
Kod ove metode, u zavisnosti od toga da li su noseći signali u fazi ili ne, postoje dve modulacione strategije. Kod jedne su noseći signali u fazi (*URS1*), dok su kod druge noseći signali pomereni za pola *PWM* periode (*URS2*).

3. VERIFIKACIJA MODULACIONE STRATEGIJE NA FPGA I HIL UREĐAJU

Eksperimentalna postavka se sastoji od *FPGA (ZedBoard)*, *HIL600* i prilagodne kartice koja povezuje ova dva sistema. *ZedBoard* služi za izvršavanje *open-loop* algoritma i izračunavanje potrebnih faktora ispunje za prekidače u invertorima. Na *HIL600* se nalazi model mašine sa otvorenim krajevima namotaja i dva invertora koji napajaju mašinu sa obe strane. Dobijeni rezultati za različite odnose dc napona ($r = 1, r = 2, r = 4$) i za modulacioni indeks jednak jedinici, primenom strategija *URS1* i *URS2* prikazani su na slikama 5 i 6.

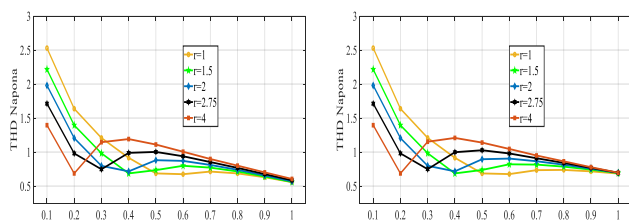


Slika 5. Fazni naponi i struje dobijeni primenom *URS1*

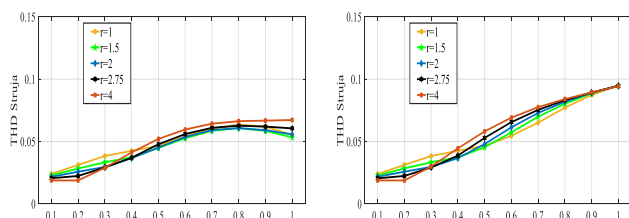


Slika 6. Fazni naponi i struje dobijeni primenom URS2

Harmonijske performanse pogona, u odnosu na dc napone invertora, biće sagledane za URS1 i URS2 metode. Sa slika 7 i 8 vidi se da prilikom tranzicije sa rada sa dva naponska nivoa na rad sa više naponskih nivoa, dolazi do povećanja harmonijskog izobličenja. Ovo je posebno izraženo za veće r . Dodatno na slikama 7 i 8 su prikazane harmonijske analize za još dva različita odnosa dc napona, $r = 1.75$ i $r = 2.75$. Pri $r = 1$, granična vrednost modulacionog indeksa pri kojoj se prelazi na rad sa više nivoa izlaznog napona, iznosi $M = 0.525$. Kada je $M > 0.525$, drugi inverter, koji ima napon dc kola 300V počinje sa radom sa preostalim modulacionim indeksom, koji je za slučaj kada je $M = 0.6$, jednak $M_2 = 0.15$. Do harmonijskog izobličenja dolazi usled efekta mrtvog vremena i malog modulacionog indeksa.



Slika 7 Odnosi THD napona za URS1 i URS2



Slika 8 Odnosi THD struja za URS1 i URS2

Kada su u pitanju URS1 i URS2 metode, ono što se može videti sa slika 5, 6, 7 i 8 je to da se niži THD napona i struja ostvaruje primenom URS1 metode. Što se tiče odabira optimalnog odnosa dc napona, može se zaključiti da je najbolji odabir od prikazanih metoda, za $r = 2$.

3. ZAKLJUČAK

U ovom radu je analizirana topologija gde je mašina sa otvorenim krajevima namotaja napajana sa dva invertora koji ostvaruju dva nivoa izlaznog napona. Prvo je topologija modelovana, svođenjem na jednu fazu, a potom i analizirana. Predložene su URS1 i URS2 raspregnute modulacione strategije zajedno sa odgovarajućim jednačinama za njihovo ostvarenje.

Performanse pogona verifikovane su na eksperimentalnoj postavci, korišćenjem HIL-a, ZedBoard-a i projektovane prilagodne kartice. Obe metode su analizirane u otvorenoj

povratnoj sprezi, korišćenjem U/f upravljanja. Kao stepen slobode uzet je odnos dc napona dva invertora. Iz prikazanih rezultata vidi se da URS1 modulaciona strategija unosi manje harmonijsko izobličenje, tj. da su THD struja i napona manji nego u slučaju URS2 modulacione strategije. Takođe, iz dobijenih rezultata se nameće da je optimalni odnos napona dc kola invertora $r = 2$.

4. LITERATURA

- [1] E.G. Shivakumar ; K. Gopakumar ; S.K. Sinha ; A. Pittet ; V.T. Ranganathan, "Space vector PWM control of dual inverter fed open-end winding induction motor drive", Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition, APEC 2001.
- [2] Barry Venugopal Reddy ; Veeramraju Timurala Somasekhar ; Yenduri Kalyan, "Decoupled Space-Vector PWM Strategies for a Four-Level Asymmetrical Open-End Winding Induction Motor Drive With Waveform Symmetries", IEEE Transactions on Industrial Electronics, Volume: 58, Issue: 11, Nov. 2011.
- [3] Darijevic, M., "Modulation and control strategies for multilevel five-phase open-end winding drives", PhD. thesis, Liverpool John Moores University, 2016
- [4] Gopal Mondal, K. Gopakumar, P. N. Tekwani, Emil Levi, "A Reduced-Switch-Count Five-Level Inverter With Common-Mode Voltage Elimination for an Open-End Winding Induction Motor Drive" IEEE Transactions on Industrial Electronics, Volume: 54, Issue: 4, Aug. 2007
- [5] Concettina Buccella, Carlo Cecati, Hamed Latafat, "Digital Control of Power Converters—A Survey", IEEE Transactions on Industrial Informatics, Volume: 8, Issue: 3, Aug. 2012
- [6] Eric Monmasson, Lahoucine Idkhajine, Mohamed Wissem Naouar "FPGA-based Controllers", IEEE Industrial Electronics Magazine, Volume: 5, Issue: 1, March 2011
- [7] E. Monmasson, L. Idkhajine, I. Bahri, M-W- Naouar, L. Charaabi, "Design methodology and FPGA-based controllers for Power Electronics and drive applications", 2010 5th IEEE Conference on Industrial Electronics and Applications, 15-17 June 2010
- [8] Simon Abourida, Christian Dufour, Jean Bélanger, "Hardware-In-the-Loop Simulation of Power Drives with RT-LAB", Power Electronics and Drives Systems, International Conference on, Volume: 2, 2005
- [9] Bodo, N., "PWM strategies for open-end winding multiphase drives", PhD. thesis, Liverpool John Moores University, 2013

Kratka biografija:



Aleksandar Ivanović rođen je u Šapcu 1993. godine. Godine 2012 upisuje osnovne akademske studije na studijskom programu Energetika, elektronika i telekomunikacije. 2016 godine završava osnovne i upisuje master akademske studije na istom studijskom programu

Kontakt:
acikaca@gmail.com